

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-233844

(43)Date of publication of application : 10.09.1993

7

(51)Int.Cl.

G06F 15/78

G06F 13/12

(21)Application number : 04-032116

(71)Applicant : SHARP CORP

(22)Date of filing : 19.02.1992

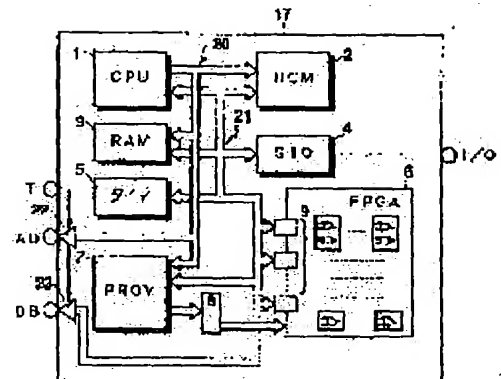
(72)Inventor : YAEGAWA KAZUHIRO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To provide the one-chip microcomputer which can change a user logic circuit in a chip even after the chip is completed or integrated into an electronic equipment.

CONSTITUTION: An FPGA (programmable logic circuit) 6 and a PROM 7 to store circuit data corresponding to the FPGA 6 are provided in a one-chip microcomputer 17. Therefore, the circuit data are written from the outside to the PROM 7 or a CPU 1 reads the circuit data from the outside, writes them in the PROM 7 and writes the data in the PROM 7 into the FPGA 6 so as to constitute the arbitrary user logic circuit in the FPGA 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

MicroPatent® Worldwide PatSearch: Record 1 of 1

Family of JP05233844 [How It Works](#)

Family of JP05233844

No additional family members are found for this document



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-233844

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵G 0 6 F 15/78
13/12

識別記号

5 1 0 G
3 5 0

庁内整理番号

7530-5L
7230-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号

特願平4-32116

(22)出願日

平成4年(1992)2月19日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 八重川 和宏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 小森 久夫

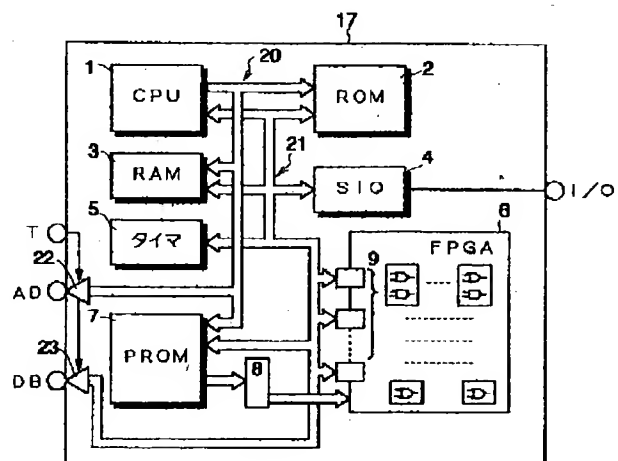
(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】チップ完成後においても、または電子機器内への組み込み後においても、チップ内のユーザロジック回路を変更可能とした1チップマイクロコンピュータを提供する。

【構成】1チップマイクロコンピュータ17内にFPGA(プログラマブル論理回路)6とFPGA6に対する回路データを記憶するPROM7を設ける。

【作用】外部からPROM7に対し回路データを書き込み、またはCPU1が外部から回路データを読み取ってPROM7に回路データを書き込み、さらにPROM7内のデータをFPGA6に書き込むことによって、FPGA6に任意のユーザロジック回路を構成する。



【特許請求の範囲】

【請求項1】CPUと、そのCPUの実行すべきプログラムおよびデータを記憶するメモリと、外部に接続される周辺回路に対する周辺インタフェース並びに回路データの書き込みによって論理回路を構成するプログラマブル論理回路をそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記プログラマブル論理回路に対し回路データの書き込み信号を与えるバスを外部に出力したことを特徴とするマイクロコンピュータ。

【請求項2】CPUと、外部に接続される周辺回路に対する周辺インタフェースと、回路データの書き込みによって論理回路を構成するプログラマブル論理回路と、不揮発性メモリと、CPUの実行によって前記不揮発性メモリ内のデータを前記プログラマブル論理回路に書き込むプログラムを予め書き込んだメモリとをそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記不揮発性メモリに対し回路データの書き込み信号を与えるバスを外部に出力したことを特徴とするマイクロコンピュータ。

【請求項3】CPUと、外部に接続される周辺回路に対する周辺インタフェースと、回路データの書き込みによって論理回路を構成するプログラマブル論理回路と、不揮発性メモリと、CPUの実行によって、外部から回路データを読み取るとともに、前記不揮発性メモリ内へ前記回路データを書き込むプログラム、およびCPUの実行によって前記不揮発性メモリ内のデータを前記プログラマブル論理回路に書き込むプログラムを予め書き込んだメモリとをそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記CPUが外部から回路データを読み取る信号入力部を設けたことを特徴とするマイクロコンピュータ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は単一の半導体集積回路上に構成したマイクロコンピュータに関する。

【0002】

【従来の技術】家電製品や情報機器の制御に用いられる1チップマイクロコンピュータは、半導体装置メーカーによって予め設計された機能を有するいわゆるスタンダードタイプのものが一般に用いられている。このようなスタンダードタイプのマイクロコンピュータは、各種電子機器に要求される一般的な機能を考慮して、そのアーキテクチャーが設計されている。電子機器メーカーではこのような1チップマイクロコンピュータを用いて、要求される機能を実現するために、1チップマイクロコンピュータ内のROMに書き込むべきプログラムを開発している。しかしこのような半導体装置メーカー側で開発した1チップマイクロコンピュータだけでは、電子機器において要求される機能が実現出来ない場合には、カス

タム仕様のマイクロコンピュータを半導体装置メーカーに発注していた。たとえばCPU、メモリ（ROM/RAM）および周辺インタフェース（I/O）以外にタイマ、液晶駆動回路、A/Dコンバータ、蛍光表示管駆動回路、シリアルインタフェース、インバータ制御回路或いはメロディ発生回路等の付加回路を設け、オリジナルな機能を付加している。

【0003】

【発明が解決しようとする課題】ところが、このようなカスタムメイドのマイクロコンピュータを開発するためには、多大な開発費用と長期にわたる開発期間が必要となり、近年の商品化傾向である多品種少量生産の要求にそぐわなくなっている。

【0004】そこで、半導体装置メーカーは、カスタムメイドのマイクロコンピュータを短期間で開発し、安価にユーザに提供するために、CPUコア方式と呼ばれる手法を取り入れ、既存のCPUとメモリ（ROM/RAM）およびタイマ、シリアルインタフェース等の周辺ブロックにユーザロジックと呼ばれる回路をゲートアレイ化する方法、またはスタンダードセル方式で1チップに組み込む方法を探っている。また、従来ランダムロジックしか対応できなかったGA（ゲートアレイ）にROMやRAMのみならずCPUも内蔵できるようにしたマイクロセル方式のものも開発している。

【0005】このように、カスタムメイドのマイクロコンピュータを短期間で開発するために、様々な試みがなされているが、いずれの方式にあっても、チップが完成した後は回路を変更することはできない。そのため、たとえば開発途中段階においてユーザロジックに誤りを発見したり、使用の変更等で回路（ユーザロジック）を変更する必要がある場合には、新たにチップを製造し直さなければならず、開発の遅延と費用の増大は避けられない。

【0006】この発明の目的は、チップの完成後にも、内部のユーザロジック回路を変更できるようにして、前述の問題を解消したマイクロコンピュータを提供することにある。

【0007】

【課題を解決するための手段】請求項1に係るマイクロコンピュータは、CPUと、そのCPUの実行すべきプログラムおよびデータを記憶するメモリと、外部に接続される周辺回路に対する周辺インタフェース並びに回路データの書き込みによって論理回路を構成するプログラマブル論理回路をそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記プログラマブル論理回路に対し回路データの書き込み信号を与えるバスを外部に出力したことを特徴とする。

【0008】請求項2に係るマイクロコンピュータは、CPUと、外部に接続される周辺回路に対する周辺インタフェースと、回路データの書き込みによって論理回路

を構成するプログラマブル論理回路と、不揮発性メモリと、CPUの実行によって前記不揮発性メモリ内のデータを前記プログラマブル論理回路に書き込むプログラムを予め書き込んだメモリとをそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記不揮発性メモリに対し回路データの書き込み信号を与えるバスを外部に出力したことを特徴とする。

【0009】請求項3に係るマイクロコンピュータは、CPUと、外部に接続される周辺回路に対する周辺インタフェースと、回路データの書き込みによって論理回路を構成するプログラマブル論理回路と、不揮発性メモリと、CPUの実行によって、外部から回路データを読み取るとともに、前記不揮発性メモリ内へ前記回路データを書き込むプログラム、およびCPUの実行によって前記不揮発性メモリ内のデータを前記プログラマブル論理回路に書き込むプログラムを予め書き込んだメモリとをそれぞれバスを介して接続し、単一の半導体集積回路上に構成するとともに、前記CPUが外部から回路データを読み取る信号入力部を設けたことを特徴とする。

【0010】

【作用】請求項1に係るマイクロコンピュータでは、CPUと、そのCPUの実行すべきプログラムおよびデータを記憶するメモリ、外部に接続される周辺回路に対する周辺インタフェース並びに回路データの書き込みによって論理回路を構成するプログラマブル論理回路がそれぞれバスを介して接続され、単一の半導体集積回路上に構成されている。そして、半導体集積回路の外部に対して前記プログラマブル論理回路に対する回路データの書き込み信号を与えるバスを出力している。

【0011】したがって、外部からバスを介してプログラマブル論理回路に対し回路データを書き込むことによって、そのプログラマブル論理回路は目的とするユーザロジック回路として作用する。したがって、チップの完成後においてもユーザロジック回路を任意に変更することが可能となり、また電子機器に対し組み込んだ後にもプログラマブル論理回路に対し回路データを書き込み可能なように構成しておくことによって、必要な時点でユーザロジック回路を変更することが可能となる。

【0012】請求項2に係るマイクロコンピュータは、CPU、周辺インタフェース、プログラマブル論理回路、不揮発性メモリおよびプログラムを予め書き込んだメモリがそれぞれバスを介して接続され、単一の半導体集積回路上に構成されている。

【0013】前記メモリには、CPUの実行によって不揮発性メモリ内のデータをプログラマブル論理回路に書き込むプログラムが予め書き込まれていて、外部から不揮発性メモリに対し回路データを書き込むことによって、CPUはその不揮発性メモリに書き込まれた回路データを読み出し、プログラマブル論理回路に書き込む。このことによって、プログラマブル論理回路はユーザロ

ジック回路として作用する。このように回路データを一旦不揮発性メモリに書き込むようにしたため、プログラマブル論理回路がSRAMセル方式のFPGA(Field Programmable Logic Array)であっても、PROM等の不揮発性メモリに対し、PROMライタを用いて書き込むことができる。

【0014】請求項3に係るマイクロコンピュータでは、CPU、周辺インタフェース、プログラマブル論理回路、不揮発性メモリおよびプログラムを記憶するメモリとがそれぞれバスを介して接続され、単一の半導体集積回路上に構成されていて、前記メモリには、外部から回路データを読み取るとともに、不揮発性メモリ内へ回路データを書き込むプログラムおよび不揮発性メモリ内のデータをプログラマブル論理回路に書き込むプログラムが予め書き込まれている。したがって、CPUは外部から回路データを読み取って、これを不揮発性メモリ内へ一旦書き込み、その不揮発性メモリ内のデータをプログラマブル論理回路に書き込むことによって、プログラマブル論理回路はユーザロジック回路として作用する。この場合PROMライタ等を用いなくとも、たとえばシリアルI/O等の信号入力部を介してCPUが回路データを読み取るように構成しておくだけで、電子機器に対し組み込んだ後にもユーザロジック回路の変更が可能となる。

【0015】

【実施例】この発明の実施例であるマイクロコンピュータの構成をブロック図として図1に示す。図1においてROM2にはPROM7内のデータをFPGA6へ書き込むためのプログラムや必要に応じて外部から回路データを読み取ってPROM7に書き込むためのプログラムなど、CPU1が実行すべきプログラムを予め書き込んでいる。CPU1はROM2に予め書き込まれているプログラムを実行して、外部から回路データをPROM7へ書き込む処理やPROM7内の回路データをFPGA6へ書き込む処理を行い、その後はROM2に書き込まれているその他のプログラムの処理によって電子機器の各種制御を行う。RAM3はCPU1のプログラムの実行に際して、各種ワーキングエリアとして用いる。SIO4はI/O端子を介してシリアルデータの入出力を行う。タイマ回路5はタイマ割り込みやウオッチドッグタイマなどのタイマ処理を行う。FPGA6はプログラマブル論理回路であり、ANDゲートアレイとORゲートアレイを組み合わせたもの、またはプログラム可能な論理モジュールと配線領域から構成されている。PROM7はFPGA6の回路データを蓄えておく書換え可能な不揮発性メモリであり、たとえばEEPROMからなる。また、同図において8はPROM7のデータをFPGA6の回路情報に変換して書き込み制御を行う書き込み制御回路である。さらに9はスイッチマトリックスであり、PROM7のデータによって、バスおよびCPUの

制御線とFPGA6のI/O端子との接続を可能にする。23はアドレスバスのバスバッファ、23はデータバスのバスバッファであり、T端子からの制御信号によって、アドレスバス20およびデータバス21をAD端子およびDB端子へ出力する。上記CPU1、ROM2、RAM3、SIO4、タイマ回路5、FPGA6およびPROM7はそれぞれアドレスバス20およびデータバス21を介して接続し、これによって1チップマイクロコンピュータ17を構成している。

【0016】図1に示したFPGA6に対する回路情報をPROM7に書き込む方法としては次の二通りがある。

【0017】①図1に示すT端子を制御することにより、アドレスバス20およびデータバス21をそれぞれAD端子、DB端子から外部へ出力し、汎用のPROMライタにより回路データを直接PROM7へ書き込む。

【0018】②I/O端子からSIO4を介して、CPUの制御により回路データを取り込み、CPU1が回路データをPROM7に書き込む。

【0019】①の方法は、予めFPGA6に構成すべきユーザロジック回路を設計し、その回路データをPROM7に書き込むことによってオリジナルの1チップマイクロコンピュータを作成し、これを電子機器に組み込む場合に有効である。②の方法は、マイクロコンピュータを電子機器内に組み込んだ後であっても、マイクロコンピュータとの間で通信を行うことによって、回路データを書き換えることが可能となる。

【0020】次に、前記②の方法によって回路を変更するようにしたメモ리카ードの例を図2に示す。図2において11、12、13、14・・・15、16はそれぞれメモリであり、各メモリにはアドレスバス24とデータバス25を結線している。

【0021】コントロール回路18はアドレスバス24とデータバス25を外部のコネクタ19と接続する制御を行う。コントロール回路18に制御線26を介して、図1に示したマイクロコンピュータ17を接続している。これらを基板10の上に構成することによって、メモ리카ード10を構成している。ホストコンピュータはコネクタ19およびコントロール回路18を介してマイクロコンピュータ17との間で通信を行う。具体的には、このメモ리카ード10が真正なメモ리카ードであることを確かめるために、通信により暗号化回路情報を送

り込み、マイクロコンピュータ17内のFPGA(6)にその暗号化回路を構成させる。ホストコンピュータは次にマイクロコンピュータ17に暗号データを送信し、マイクロコンピュータ17からの応答を待つ。マイクロコンピュータ17はFPGAによって構成された暗号化回路を作動させ、ホストコンピュータから受信した暗号データをさらに暗号化しホストコンピュータへ返送する。これらのやり取りによって、ホストコンピュータがこのメモ리카ードを真正であると認めれば、コントロール回路18によって内部アドレスバス24および内部データバス25をコネクタ19に接続して、ホストコンピュータとの間で通常のアクセスを開始することが可能となる。なお、前記暗号化回路のロジックを通信を行う毎に変更すればメモ리카ードのセキュリティ性が極めて高くなる。そのため、第三者による贋のメモ리카ードの生産およびデータの改ざんは実質上ほとんど不可能となる。

【0022】

【発明の効果】この発明によれば、チップ完成後、または電子機器に対する組み込み後においても、1チップマイクロコンピュータ内のユーザロジック回路を変更することができ、カスタムメイドのマイクロコンピュータの開発期間を大幅に短縮することができる。また、電子機器内に組み込んだ後に回路の変更を行うことによって、随時必要な回路によってデータ処理を行うシステムも容易に構成できるようになる。

【図面の簡単な説明】

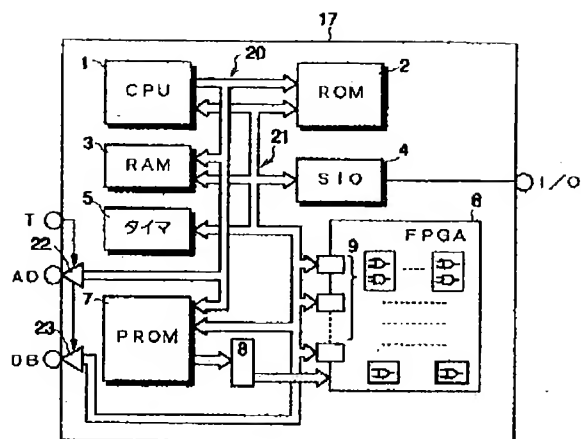
【図1】この発明の実施例である1チップマイクロコンピュータの構成を示すブロック図である。

【図2】図1に示す1チップマイクロコンピュータを用いたメモ리카ードの構成を示すブロック図である。

【符号の説明】

- 8—書き込み制御回路
- 9—スイッチマトリックス
- 10—メモ리카ード
- 17—1チップマイクロコンピュータ
- 20—アドレスバス
- 21—データバス
- 22, 23—バスバッファ
- 24—アドレスバス
- 25—データバス
- 26—制御線

【図1】



【図2】

